



המכללה האקדמית להנדסה  
**אורט בראודה**  
ORT BRAUDE COLLEGE

המחלקה להנדסת חשמל ואלקטרוניקה

**הצעת פרויקט גמר בתכנ הנדסי**

## **FPGA-SoC Based 3D Graphics Engine**

מוגש ע"י : מתן רייכר

מס' ת.ז : 038109617

חתימה : \_\_\_\_\_

חתימה : \_\_\_\_\_

בהנחיית : גברת אמה אלקינד

**תוכן עיניינים:**

1	.....	מבוא	.1
2	.....	תיאור המערכת	.2
2	.....	מטרת המערכת	.2.1
2	.....	דרישות המערכת	.2.2
2	.....	מפרט פונקציונלי	.2.3
3	.....	דיאגרמת מלבנים	.2.4
3	.....	מכלולי המערכת	.2.5
5	.....	ניהול הפרוייקט	.3
5	.....	מטלות הנדסיות	.3.1
5	.....	בעיות הנדסיות	.3.2
5	.....	לוח זמנים	.3.3
6	.....	כלי פיתוח	.4
6	.....	סימוכין	.5

**רשימת קיצורים:**

- CPU – Central Processing Unit
- GPU – Graphics Processing Unit
- SoC – System on Chip
- HPS – Hard Processor System
- MPU – Microprocessor Unit

## 1. מבוא:

במהלך שנות ה-70 עם התפתחות מערכות המיחשוב והטכנולוגיה החלו לצאת לשוק מערכות בעלות יכולות עיבוד גרפיקה והצגתה על גבי מסכי תצוגה שונים. מערכות אלו – הכוללות מחשבים, קונסולות משחקים "פרימיטיביות", סימולטורים צבאיים וכו' עשו שימוש ביחידות העיבוד המרכזיות (CPU's) לצורך ביצוע תהליכי עיבוד הגרפיקה עד להצגתה על גבי מסכי התצוגה.

עם הזמן – גדלה הדרישה לעיבוד גרפי מהיר ואיכותי יותר, ונמצא כי יחידות העיבוד המרכזיות באותה התקופה אינן חזקות מספיק בכדי לבצע העיבוד הגרפי באופן מהיר ובזמן אמת בנוסף לפעולות הנוספות הנדרשות במערכת.

דרישה זו הובילה להתפתחות שוק המעבדים הגרפיים (GPU's) אשר שולבו במערכות השונות והותאמו לביצוע תהליכי העיבוד בצורה היעילה והמהירה ביותר, תוך שחרור משאבי יחידות העיבוד המרכזיות לביצוע פעולות שונות.

פרוייקט זה עוסק בתהליך עיבוד הגרפיקה התלת-מימדית. תהליך עיבוד זה הינו תהליך המורכב ממספר רב של פעולות אלגבריות ופעולות מבוססות מטריצות בזמן אמת שמטרתו הפקת המידע הנחוץ להצגת עצמים תלת-מימדיים באופן דו-מימדי על גבי מסך תצוגה.

לצורך מימוש פרוייקט זה נבחרה ערכת הפיתוח Terasic DE1-SoC המבוססת שבב FPGA משולב SoC (System on Chip) מסוג Altera Cyclone V SoC. שבב זה הינו שבב יחודי בעל 2 צדדים נפרדים (Portions) – צד ה-FPGA המשמש לתכנון קושחה הניתנת לתכנות וצד ה-HPS

(Hard Processor System) המכיל התקני Hardware קבועים אשר במרכזו מעבד מסוג Dual Core ARM Cortex-A9.

לצורך הדגשת ההפרדה בין תחומי האחריות של יחידת העיבוד המרכזית ויחידת העיבוד הגרפי יעשה הפרוייקט שימוש בחלק מהתקני החומרה בצד ה-HPS על גבי מערכת הפעלה מסוג Linux המותאמת למעבד הני"ל, ובעזרת ממשקי תעבורת מידע הקיימים במערכת ה-HPS תבוצע העברת נתונים לעיבוד לצד ה-FPGA שבו תמומש מערכת העיבוד הגרפי.

תכניות המערכת וכלל הנתונים לעיבוד יחלו דרכם כקבצים המאוחסנים בזיכרון המשני של מערכת ההפעלה בצד ה-HPS.

## 2. תיאור המערכת:

### 2.1. מטרת המערכת:

- עיבוד נתוני אובייקטים תלת-מימדיים המוגדרים מראש במרחב מתמטי וירטואלי לצורך הצגתם על גבי מסך באופן דו-מימדי, תוך אפשרות שליטה על פרמטרים שונים כגון מיקום, גודל וזווית האובייקטים ע"י תכניות המוגדרות מראש ו/או ע"י משתמש הקצה.

### 2.2. דרישות המערכת:

- המערכת תעשה שימוש במערכת הפעלה מסוג Linux מותאמת מראש לארכיטקטורת המעבד ARM Cortex-A9.
- המערכת תאפשר הרצת תכניות מסוג Linux Applications הכתובות בשפת C/C++ תחת מערכת ההפעלה בצד ה- HPS אשר מאוחסנות בזיכרון המשיני של המערכת.
- המערכת תאפשר תעבורת מידע ותקשורת מצד ה- HPS לצד ה- FPGA לצורך עיבוד/בקרה.
- המערכת תבצע תהליך עיבוד גרפי מלא של נתוני אובייקטים תלת-מימדיים שונים מוגדרים מראש אשר מאוחסנים בזיכרון המשיני של המערכת.
- המערכת תציג אובייקט מופק ברמת השלד (Wireframe) על גבי מסך תצוגה סטנדרטי.
- המערכת תאפשר שליטה על פרמטרים שונים כגון מיקום, גודל וזווית האובייקט המופק הן בצורת תכנית המוגדרת מראש והן באופן דינמי ע"י משתמש הקצה.
- המערכת תעבוד בצורה מחזורית ובזמן אמת.

### 2.3. מפרט פונקציונלי:

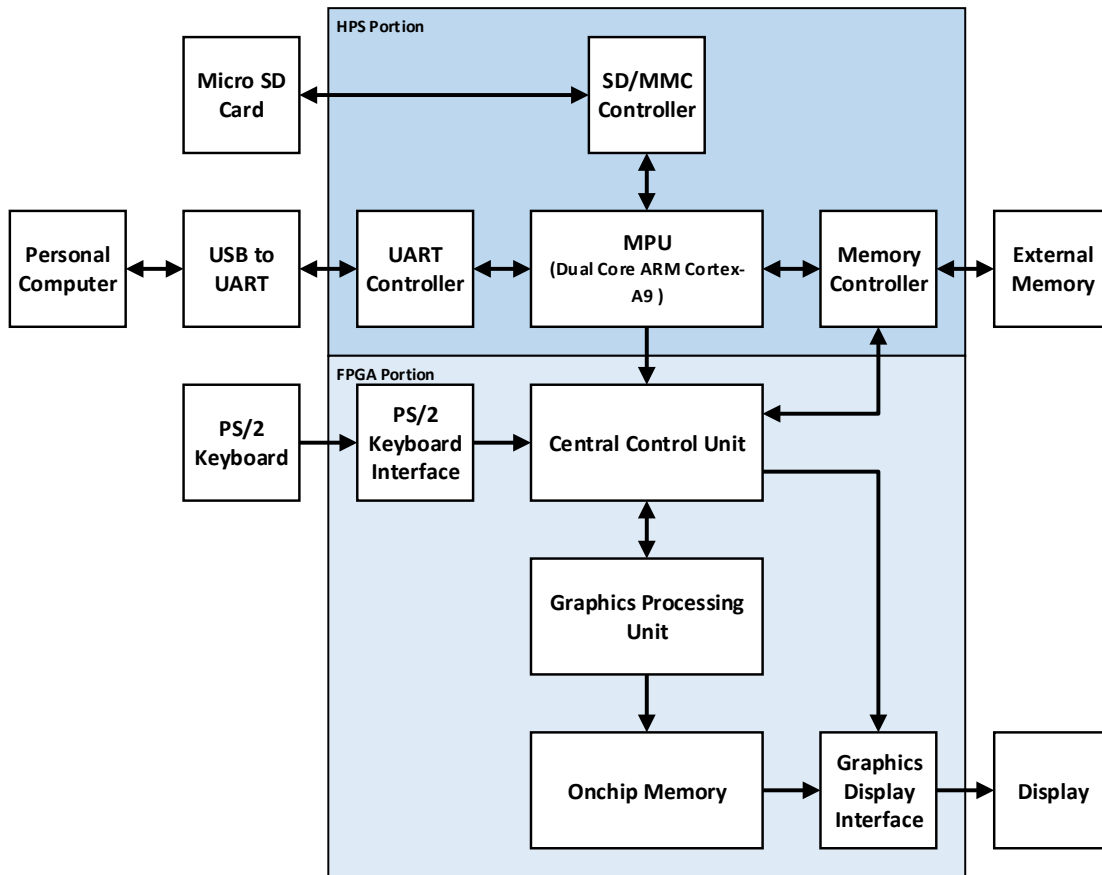
#### • (Hard Processor System (HPS Portion

- יכולת ביצוע תהליך ה- Boot Process של מערכת ה- HPS, תכנות ה- FPGA ועליית מערכת ההפעלה מכרטיס Micro SD Card.
- תקשורת בין משתמש הקצה לבין מערכת ההפעלה.
- יכולת הרצת תכניות Linux Application הכתובות בשפת C/C++ על גבי מערכת ההפעלה.
- יכולת אחסון נתונים בזיכרון חיצוני לצורך קריאתם ע"י המערכת בצד ה- FPGA.
- תקשורת בין תכניות ה- Linux Application למערכת בצד ה- FPGA.

#### • קושחת המערכת (FPGA Portion):

- יכולת קריאת נתונים והעברתם מזיכרון חיצוני לצד ה- FPGA לצורך עיבוד ואתחול המערכת.
- יכולת עיבוד נתוני האובייקטים להפקת נתוני תצוגה.
- יכולת שליטה על פרמטרי האובייקטים המעובדים ע"י מקלדת שליטה חיצונית.
- יכולת הצגת האובייקטים המעובדים על גבי מסך תצוגה סטנדרטי.

2.4. דיאגרמת מלבנים:



2.5. מכלולי המערכת:

• ( HPS Portion ) Hard Processor System

מס	שם המכלול	תפקיד
1	Personal Computer	מחשב אישי המשמש להצגת מצב מערכת ההפעלה והרצת Linux Applications על גבי ה - HPS באמצעות חלון Terminal.
2	USB to UART (FTDI FT232R USB UART IC)	ממשק USB to UART המשמש להעברת המידע היוצא מהמערכת לצורך הצגתו בחלון Terminal במחשב האישי ולהעברת פקודות המשתמש למערכת.
3	UART Controller	בקר תקשורת ה - UART המשמש לשליחת נתונים מ/למערכת ה - HPS. נמצא בשליטת ה - HPS ומערכת ההפעלה.
4	Micro SD Card	כרטיס המכיל קבצי ה - Boot של מערכת ההפעלה, קובץ התכן לתכנות ה - FPGA ומערכת הקבצים של מערכת ההפעלה. נמצא תחת שליטת ה - HPS ומערכת ההפעלה. בנוסף - משמש כזיכרון המישני של המערכת ומכיל תכניות המשתמש וקבצי האובייקטים לעיבוד.
5	SD/MMC Controller	ממשק המאפשר קריאת נתונים מכרטיס ה - Micro SD לצורך עליית מערכת ההפעלה ולשימוש בו כזיכרון המישני של המערכת. נמצא בשליטת ה - HPS ומערכת ההפעלה.



ה - Microprocessor Unit הינה ליבה של מערכת ה - HPS אשר מכילה מעבד ה - Dual Core ARM Cortex-A9. יחידה זו נמצאת בשליטת ה - HPS ומערכת ההפעלה.	<b>MPU</b>	<b>6</b>
בקר הזיכרון משמש לקריאת/כתיבת נתונים מ/לזיכרון החיצוני של מערכת ה - HPS. משמש כ - Slave ל - Masters בצד ה - HPS הנמצאים בשליטת מערכת ההפעלה ול - Masters הנמצאים בצד ה - FPGA.	<b>Memory Controller</b>	<b>7</b>
זיכרון המערכת החיצוני משמש בחלקו כזיכרון הראשי של מערכת ההפעלה ובחלקו כזיכרון אחסון לנתונים המיועדים למעבר לצד ה - FPGA לצורך עיבוד ואתחול מערכת העיבוד הגרפי.	<b>External Memory</b> (2 x ISSI IS43TR16256A 256Mx16 4Gb DDR3 SDRAM)	<b>8</b>

• קושחת המערכת (FPGA Portion):

מס	שם המכלול	תפקיד
<b>1</b>	<b>Central Control Unit</b>	בקר מערכת העיבוד - אחראי על קריאת תכניות המשתמש ונתוני האובייקטים לעיבוד מהזיכרון החיצוני, קבלת הפקודות מממשק המקלדת החיצונית, הרצת מערכת עיבוד הנתונים ובקרת ממשק התצוגה.
<b>2</b>	<b>PS/2 Keyboard</b>	מקלדת מחשב בעלת פורט PS/2 הנועדה לאפשר שליטה על פרמטרי האובייקט המעובד במערכת ע"י משתמש הקצה.
<b>3</b>	<b>PS/2 Keyboard Interface</b>	ממשק קליטת נתוני המקלדת החיצונית והמרתם לפקודות המועברות לבקר המערכת הראשי.
<b>4</b>	<b>Graphics Processing Unit</b>	מערכת עיבוד הנתונים - מקבלת את נתוני האובייקט לעיבוד ואת הפרמטרים השונים לעיבוד מבקר המערכת הראשי, מבצעת כל שלבי העיבוד הגרפי ומאחסנת תוצאות העיבוד בזיכרון התצוגה.
<b>5</b>	<b>Onchip Memory</b>	זיכרון התצוגה - מכיל כל הנתונים המעובדים ע"י מערכת העיבוד הגרפי לצורך הצגתם.
<b>6</b>	<b>Graphics Display Interface</b>	בקר ממשק התצוגה - מבצע קריאת הנתונים לתצוגה מזיכרון התצוגה והעברתם למסך תצוגת המערכת.
<b>7</b>	<b>Display</b>	מסך תצוגת המערכת.

### 3. ניהול הפרוייקט:

#### 3.1 מטלות הנדסיות:

- בניית תשתית מערכת ההפעלה להרצת ה - HPS : U-Boot (Boot-Loader), Linux Kernel & File system Cross-Compilation.
- תכנון וכתובת תכנית - אב-טיפוס לאחסון נתונים בזיכרון החיצוני מצד ה - HPS.
- תכנון וכתובת קושחה - אב-טיפוס לקריאת הנתונים מהזיכרון החיצוני מצד ה - FPGA.
- בדיקות מערכת האב-טיפוס ומדידת קצבי העברת הנתונים.
- כתיבת תכנית סימולציית עיבוד הגרפיקה לצורך הכרת התהליך והבנתו לקראת תכנון הקושחה.
- תכנון וכתובת מודולי הקושחה.
- בדיקות אמינות מודולי עיבוד הגרפיקה מול תוצאות תכנית הסימולצייה.
- אופטימיזציית מודולי הקושחה.
- אינטגרציית כלל מודולי הקושחה ומערכת ה - HPS.
- בדיקות המערכת הכוללת ומדידת קצבי עיבוד הנתונים.
- כתיבת תכנית המערכת הראשית.
- כתיבת ספר הפרוייקט ומדריך למשתמש.

#### 3.2 בעיות הנדסיות:

- מימוש גישה לזיכרון החיצוני משני צידי המערכת.
- עמידה בקצבי העברת הנתונים הדרושים למערכת מהזיכרון החיצוני לצד ה - FPGA.
- עמידה בקצבי עיבוד הנתונים הדרושים למערכת.
- ניהול ותכנון יעיל של משאבי ה - FPGA.
- אינטגרציית וסימולציית המערכת הכוללת.

#### 3.3 לוח זמנים:

מס	מטלה	זמן ביצוע [שעות עבודה]
1	כתיבת הצעת הפרוייקט	10
2	בניית תשתית מערכת ההפעלה	25
3	תכנון, כתיבת ואינטגרציית מערכת האב-טיפוס	20
4	בדיקות מערכת האב-טיפוס	5
5	כתיבת תכנית סימולציית עיבוד הגרפיקה	20
6	תכנון וכתובת מודולי הקושחה	100
7	בדיקות מודולי הקושחה ואופטימיזצייה	50
8	אינטגרציית המערכת	50
9	בדיקות המערכת הכוללת	20
10	כתיבת תכנית המערכת הראשית	50
11	כתיבת ספר הפרוייקט ומדריך למשתמש	50
	סה"כ	400

#### 4. כלי פיתוח:

- Altera Quartus Prime Design Suite 15.1 – Lite Edition:
  - Quartus Prime:
    - VHDL Design.
    - Qsys – HPS/FPGA Integration.
    - SignalTap II Logic Analyzer.
  - Modelsim – VHDL Design simulation.
- Altera SoC Embedded Design Suite 15.1 – Lite Edition:
  - ARM Development Studio 5 Altera Edition:
    - Eclipse IDE (Linux Applications debugging only).
- Matlab – Graphics Processing Simulation Script.
- Linux Operating System – HPS Linux Cross-Compilation.

#### 5. סימוכין:

- 1) Terasic DE1-SoC Board:  
<http://de1-soc.terasic.com>
- 2) Cyclone V Hard Processor System Technical Reference Manual:  
[https://www.altera.com/content/dam/altera-www/global/en\\_US/pdfs/literature/hb/cyclone-v/cv\\_5v4.pdf](https://www.altera.com/content/dam/altera-www/global/en_US/pdfs/literature/hb/cyclone-v/cv_5v4.pdf)